

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-209389

(43)Date of publication of application : 11.08.1995

(51)Int.CI.

G01R 31/3183

G11C 29/00

(21)Application number : 06-021997

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 21.01.1994

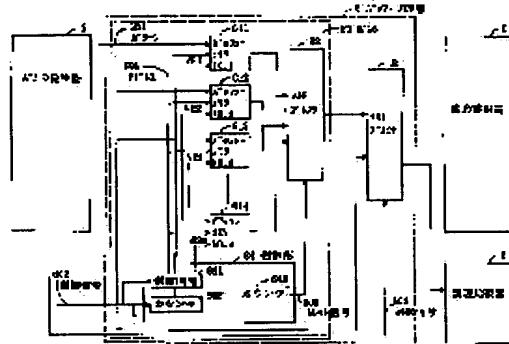
(72)Inventor : KOBAYASHI SHINICHI

(54) HIGH-SPEED PATTERN GENERATOR

(57)Abstract:

PURPOSE: To provide a high-speed pattern generator wherein the generation of a test pattern is made high-speed.

CONSTITUTION: A plurality of buffer memories 611 to 614 are provided at the rear stage of a pattern generator 2. An output pattern 610 of the pattern generator 2 is input to each input end. A control circuit 641 for controlling an address signal and a writing/reading signal of each buffer memory 611 to 614 provided. A counter 642 for counting a pattern number is provided. A multiplexer 62 for multiplexing and taking out each output of the buffer memories 611 to 614 is provided. In addition, a plurality of banks are provided in accordance with the above constitution and another multiplexer for selecting each output is set. A bank control circuit is provided. As the result, the high-speed pattern generator is constituted.



LEGAL STATUS

[Date of request for examination] 29.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-209389

(43)公開日 平成7年(1995)8月11日

(51)Int.C1.

識別記号

F I

G01R 31/3183

G11C 29/00

303 A 6866-5L

G01R 31/28

Q

審査請求 未請求 請求項の数 2 FD (全7頁)

(21)出願番号 特願平6-21997

(22)出願日 平成6年(1994)1月21日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 小林 信一

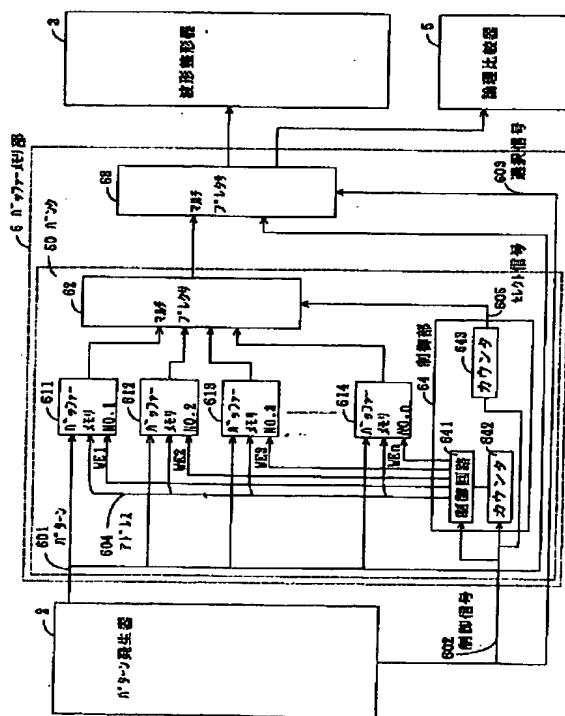
東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(54)【発明の名称】高速パターン発生器

(57)【要約】

【目的】 試験パターン発生器に於ける試験パターンの発生を高速化した、高速パターン発生器を提供する。

【構成】 パターン発生器2の後段に、複数のバッファーメモリを設ける。そして、各入力端には、当該パターン発生器2の出力パターンを入力する。そして、当該各バッファーメモリのアドレス信号、書き込み/読みだし信号、を制御する制御回路641を設ける。そして、パターン数を計数するカウンタ642を設ける。そして、バッファーメモリの各出力を多重化して取り出すマルチブレクサ62を設ける。このように構成する。また、上記構成によるバンクを複数設けて、各出力を選択するマルチブレクサ74を設ける。そして、バンク制御回路73を設ける。このように、高速パターン発生器を構成する。



【特許請求の範囲】

【請求項 1】 パターン発生器(2)の後段に、複数のバッファーメモリ(611、612、613、614)を設け、当該バッファーメモリの各入力端には、当該パターン発生器(2)の出力パターン(601)を入力し、当該各バッファーメモリのアドレス信号、書き込み/読みだし信号、を制御する制御回路(641)を設け、書き込みや読みだしを行うパターン数を計数するカウンタ(642)を設け、バッファーメモリ(611、612、613、614)の各出力を多重化して取り出すマルチプレクサ(62)を設け、上記構成によるバンク(60)を具備したことを特徴とする、高速パターン発生器。

【請求項 2】 パターン発生器(2)の後段に、複数のバッファーメモリ(611、612、613、614)を設け、当該バッファーメモリの各入力端には、当該パターン発生器(2)の出力パターン(601)を入力し、当該各バッファーメモリのアドレス信号、書き込み/読みだし信号、を制御する制御回路(641)を設け、書き込みや読みだしを行うパターン数を計数するカウンタ(642)を設け、バッファーメモリ(611、612、613、614)の各出力を多重化して取り出すマルチプレクサ(62)を設け、上記構成によるバンク(71、72)を複数設け、当該バンク(71、72)の各出力を選択するマルチプレクサ(74)を設け、当該バンク(71、72)の、書き込み/読みだしを制御し、当該マルチプレクサ(74)の選択を制御するバンク制御回路(73)を設け、上記構成を具備したことを特徴とする、高速パターン発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体試験装置に搭載した試験パターン発生器に於ける試験パターンの発生を高速化した、高速パターン発生器に関する。

【0002】

【従来の技術】半導体試験装置に用いる試験パターンは一般に高速である。近年、被試験デバイスやメモリデバイスの発達により、パターン発生器の高速化が要求されている。

【0003】図3に、従来のメモリ試験装置の構成例を示す。被試験メモリ4を試験するメモリ試験装置は、タイミング発生器1、パターン発生器2、波形整形器3及び論理比較器5により構成されている。タイミング発生器1で発生する基準クロックに従って、パターン発生器

10

20

30

40

50

2は、被試験メモリ4に与えるアドレス信号、試験データ信号、制御信号を出力する。これらの各信号は、波形整形器3に与えられ、ここで試験に必要な波形に整形して被試験メモリ4に印加される。被試験メモリ4は、制御信号によって、当該アドレスに試験データを書き込み、また、読み出し制御を行う。被試験メモリ4から読み出された読みだしデータは、論理比較器5に与えられ、ここでパターン発生器2から出力される期待値データと比較され、その一致、不一致結果により、被試験メモリの良否判定を行う。

【0004】図4に、パターン発生器2の内部構成例を示す。パターン発生器2は、アドレス発生器22、アドレスをX、Yに分割して取り出すアドレス変換器25、試験パターンデータ発生器23、制御信号発生器24及びこれらを制御するシーケンス制御器21により構成される。

【0005】シーケンス制御部21は、パターン発生のための一連の命令が格納されたインストラクションメモリ201、そのアドレスを指定するプログラムカウンタ203、当該プログラムカウンタ203を当該インストラクションメモリ201からの命令に基づいて制御するプログラムカウンタコントロール202により構成されている。当該インストラクションメモリ201の各アドレスのメモリ領域は、シーケンス制御命令エリア、アドレス演算命令エリア、データ演算命令エリア及び、制御信号発生命令エリアから成る。

【0006】この構成により、プログラムカウンタ203の出力したアドレスにより、インストラクションメモリ201がアクセスされ、その内容がそれぞれ、プログラムカウンタコントロール202、アドレス発生器22、試験パターンデータ発生器23、制御信号発生器24に与えられる。そして、プログラムカウンタコントロール202は、読みだしたシーケンス制御命令をデコードしてプログラムカウンタ203をインクリメント、ホールドまたは読みだしたアドレスをロードして、新たにアドレスを発生することにより、シーケンス発生を行っている。

【0007】このように、従来のパターン発生器では、プログラムカウンタ203の出力したアドレスによりインストラクションメモリ201がアクセスされ、その内容により次にどの様なパターンを発生するか決定する。プログラムカウンタ203は、プログラムカウンタコントロール202により制御される。プログラムカウンタコントロール202は、インストラクションメモリ201から読みだしたシーケンス制御命令をデコードして、次のプログラムカウンタの動作を制御している。このプログラムカウンタのアドレス出力から、次のプログラムカウンタの動作決定までの1サイクル中のインストラクションメモリのアクセス、メモリからのシーケンス制御命令のデコード等の動作速度を速くすることが難しいいた

め、高速でのパターン発生が困難である。

【0008】

【発明が解決しようとする課題】本発明は、上述したような従来の技術が有する問題点に鑑みてなされるものであって、試験パターン発生器に於ける試験パターンの発生を高速化した、高速パターン発生器を提供するものである。

【0009】

【課題を解決するための手段】

(請求項1の解決手段) パターン発生器2の後段に、複数のバッファーメモリ(611、612、613、614)を設ける。そして、当該バッファーメモリの各入力端には、当該パターン発生器2の出力パターン601を入力する。そして、当該各バッファーメモリのアドレス信号、書き込み/読みだし信号、を制御する制御回路641を設ける。そして、書き込みや読みだしを行うパターン数を計数するカウンタ642を設ける。そして、バッファーメモリ(611、612、613、614)の各出力を多重化して取り出すマルチブレクサ62を設ける。上記構成によるバンク60を具備して、高速パターン発生器を構成する。

【0010】(請求項2の解決手段) パターン発生器2の後段に、複数のバッファーメモリ(611、612、613、614)を設ける。そして、当該バッファーメモリの各入力端には、当該パターン発生器2の出力パターン601を入力する。そして、当該各バッファーメモリのアドレス信号、書き込み/読みだし信号、を制御する制御回路641を設ける。そして、書き込みや読みだしを行うパターン数を計数するカウンタ642を設ける。そして、バッファーメモリ(611、612、613、614)の各出力を多重化して取り出すマルチブレクサ62を設ける。上記構成によるバンク(71、72)を複数設ける。そして、当該バンク(71、72)の各出力を選択するマルチブレクサ74を設ける。そして、当該バンク(71、72)の、書き込み/読みだしを制御し、当該マルチブレクサ74の選択を制御するバンク制御回路73を設ける。上記構成を具備して、高速パターン発生器を構成する。

【0011】

【作用】この発明によれば、高速パターン発生時には、パターン発生部2は動作させず、カウンタ642と制御回路641とを動作させる。従って、この場合、高速パターン発生時にはパターン発生部を動作させていないため、プログラムカウンタコントロール202部の動作速度がパターン発生の速度に影響を与えるなくなる。このため、高速のパターン発生が可能となる。これが、高速化できる理由の1つである。高速化できる2つ目の理由は、マルチブレクス動作によるn倍化である。マルチブレクサ62とカウンタ643は、多重化回路を構成している。4重の多重化回路は図5に示すように、動作クロックをカウンタ643で2ビットとして取り出し、マルチブレクサ62のセレクト信号605とする。このセレクト信号により、入力信号(X₀、X₁、X₂、X₃)をマルチブレクスする。図6に、多重化回路の動作例を示す。入力信号X₀のデータをa、入力信号X₁のデータをb、入力信号X₂のデータをc、入力信号X₃のデータをdとすると、各データの変化に比べ4倍(一般にn倍)の速度で取り出

り出すことができる。また、高速化できる3つ目の理由としては、1つのバンクのバッファーメモリの書き込みが終了した後、すぐに他のバンクのバッファーメモリへのパターン書き込みを始めるため、バッファーメモリの出力が全て終了した後に新たにパターンを書き込む場合より、待機時間を短くでき、このため、高速なパターンを連続して行う場合、各待機時間が短縮され、このため試験時間が短縮できる。

【0012】

【実施例】本発明の実施例について図面を参照して説明する。

【0013】(実施例1) 図1は本発明の1実施例を示すブロック図である。図1に示すように、パターン発生器2と波形整形器3との間に、バッファーメモリ部6を設ける。当該バッファーメモリ部6は、バンク60とマルチブレクサ62から成っている。

【0014】バンク60内には複数(n個)のバッファーメモリと、マルチブレクサ62と、制御部64を設ける。本例ではn=4の場合を示す。バッファーメモリ(611、612、613、614)の入力端には共通に、パターン発生器2の出力パターン60を入力する。当該バッファーメモリのアドレス端には、制御回路641からアドレス信号を入力する。当該バッファーメモリの各書き込み/読み出し(W/R)端は、制御回路641に接続する。

【0015】試験開始前の準備として、先ず、高速で発生したいパターンを予め通常速度でパターン発生器2により発生させ、この発生パターン601を各バッファーメモリ(611、612、613、614)に書き込む。また、バッファーメモリに書き込んだパターン数をカウンタ642によりカウントし、記憶しておく。

【0016】次に、高速パターン発生時には、パターン発生部2は動作させず、カウンタ642と制御回路641とを動作させる。従って、この場合、高速パターン発生時にはパターン発生部を動作させていないため、プログラムカウンタコントロール202部の動作速度がパターン発生の速度に影響を与えるなくなる。このため、高速のパターン発生が可能となる。これが、高速化できる理由の1つである。

【0017】高速化できる2つ目の理由は、マルチブレクス動作によるn倍化である。マルチブレクサ62とカウンタ643は、多重化回路を構成している。4重の多重化回路は図5に示すように、動作クロックをカウンタ643で2ビットとして取り出し、マルチブレクサ62のセレクト信号605とする。このセレクト信号により、入力信号(X₀、X₁、X₂、X₃)をマルチブレクスする。図6に、多重化回路の動作例を示す。入力信号X₀のデータをa、入力信号X₁のデータをb、入力信号X₂のデータをc、入力信号X₃のデータをdとすると、各データの変化に比べ4倍(一般にn倍)の速度で取り出

すことができる。

【0018】図7に、本発明による1動作例をタイムチャートで示す。図7においては、書き込み時に、バッファーメモリ(X0、X1、X2、X3)の各アドレス端子に共通に、同一のアドレス信号を与える。また、各データ端子に共通に、同一のデータ信号を与える。すなわち、バッファーメモリX0については、アドレスA0に対して、データaを書き込み、アドレスA1に対して、データbを書き込む。以後、同様に連続して書き込む。次に、読みだし時には、先ず、バッファーメモリX0に対しては、アドレスA0を与える。そして、X1に対してはA1を与え、X2に対してはA2を与え、X3に対してはA3を与える。そして、これらのデータを多重化して、出力Xとして取り出す。この場合、図7のように、データa、b、c、dが1周期内に連続して取り出される。次のサイクルに於いては、バッファーメモリX0に対しては、前回よりも”4”(一般的には、n)進んだアドレスを与える。すなわちアドレスA4を与える。そして、X1に対してはA5を与え、X2に対してはA6を与え、X3に対してはA7を与える。そして、これらのデータを多重化して、出力Xとして取り出す。この場合、図7のように、データe、f、…と連続して取り出される。

【0019】図8に、本発明による他の動作例をタイムチャートで示す。図8においては、書き込み時に、バッファーメモリ(X0、X1、X2、X3)の各アドレス端子に共通に、同一のアドレス信号を与える。また、各データ端子に共通に、同一のデータ信号を与える。そして、W/R端子については、バッファーメモリX0に対しては、第1のサイクルで書き込み(W)を行い、X1に対しては第2のサイクルで書き込みを行い、X2に対しては第3のサイクルで書き込みを行い、X3に対しては第4のサイクルで書き込みを行う。すなわち、図8に示すように、バッファーメモリX0については、アドレスA0に対して、データaを書き込み、バッファーメモリX1については、アドレスA0に対して、データbを書き込み、バッファーメモリX2については、アドレスA0に対して、データcを書き込み、バッファーメモリX3については、アドレスA0に対して、データdを書き込む。次に、4つのサイクル(一般にnサイクル)分を書き込み完了した時点で、各バッファーメモリ(X0、X1、X2、X3)のアドレスをA1に進める。以後、同様に連続して書き込む。次に、読みだし時には、各バッファーメモリ(X0、X1、X2、X3)のアドレス端子に共通にアドレス信号A0を与える。そして、これらのデータを多重化して、出力Xとして取り出す。この場合、図8のように、データa、b、c、dが1周期内に連続して取り出される。次のサイクルに於いては、アドレスを1つ進めてA1とし、同様に、これらのデータを多重化して、出力Xとして取り出す。この場

合、データe、f、…と連続して取り出される。このように、多重化するデータの割当は、図7の例のように行ってもよいし、図8の例のように行ってもよい。

【0020】上述の2種類の高速化を相乗した高速パターンを、波形整形器3及び論理比較器5に与える。なお、カウンタ642は、試験開始前に記憶したパターン数だけインクリメントして動作を終了する。また、バンク60と、波形整形器3との間には、マルチブレクサ63を設けてあり、従来のパターン発生器2の出力パターン601と、マルチブレクサ62の出力とを選択信号603により切り換えて取り出すことを可能としている。これは、バッファーメモリ(611、612、613、614)の容量により発生できるパターン数が制限されるが、バッファーメモリからのパターンとパターン発生器からのパターンを選択可能にすることにより、従来と同様のパターン発生をも可能とするためである。

【0021】(実施例2)図2は、本発明による他の実施例を示す。本実施例においては、バッファーメモリからなるバンク(71、72)を複数設けて、パターン発生器2からバッファーメモリへのパターン転送時に要する待機時間を短くし、試験時間の短縮を図っている。これは、実施例1によるバッファーメモリ部6の構成では、試験を一旦停止してバッファーメモリにパターンを書き込み、全てのパターンの書き込みが終了してから、再び試験を開始しなければならず、このパターン発生器からバッファーメモリへのパターン転送中の待機時間により試験時間が長くなるという欠点を克服するものである。

【0022】図2に示すように、実施例1に於けるバッファーメモリ部6に代えて、バッファーメモリ群7を、パターン発生器2と波形整形器3との間に設ける。バッファーメモリ群7の内部構成としては、実施例1に於けるバンク60と同様なバンクを複数(一般にm個)設けて、バンク71、バンク72とする。そして、これらのバンク(71、72)を制御するバンク制御回路73を設ける。そして、当該バンク(71、72)の出力を選択出力するマルチブレクサ74を設ける。

【0023】バンク71と、バンク72の制御回路には、「バッファーメモリには全てのパターンが書き込まれた」という意味の信号(Full11、Full12)を設ける。また、「バッファーメモリのパターンは全て出力した」という意味、あるいは、「まだパターンの書き込みは行われていない」という意味の信号(Emp1、Emp2)を設ける。

【0024】最初に、バンク71側に、実施例1に於ける場合と同様に、パターンを書き込む。パターンが全て書き込まれると、バンク71の制御回路は、バンク制御回路73に、Full11信号を出力する。当該バンク制御回路73は、Full11を受け取ると、バンク71からパターンを出力させる。その後、バンク72側からの

Emp 2信号の有無をチェックし、Emp 2が有れば、次に発生するパターンをバンク72へ書き込み始める。バンク71のパターンが全て出力し終わると、バンク71は、Emp 1信号をバンク制御回路73に出力する。バンク制御回路73は、Emp 1を受け取るとバンク72からFull 2信号が出力されるまで待機状態となる。Full 2信号がバンク72から出力されると、バンク制御回路73は、バンク72からパターンを出力させ、バンク71へ次に発生するパターンを書き込み始める。バンク72のパターンが全て出力し終わった後も同様の動作を行う。

【0025】なお、バンク71の出力とバンク72の出力との切り替えは、マルチブレクサ74へバンク制御回路73からセレクト信号701を出力して行う。また、マルチブレクサ74と、波形整形器3との間には、実施例1と同様に、マルチブレクサ63を設け、従来のパターン発生器2の出力パターン601と、マルチブレクサ74の出力を選択信号603により切り換えて取り出すことを可能としている。

【0026】本実施例2の構成では、1つのバンク（例えればバンク71）のバッファーメモリの書き込みが終了した後、すぐに他のバンク（例えればバンク72）のバッファーメモリへのパターン書き込みを始めるため、バッファーメモリの出力が全て終了した後に新たにパターンを書き込む場合より、待機時間を短くできる。このため、高速なパターンを連続して行う場合、各待機時間が短縮され、このため試験時間が短縮できる。

【0027】

【発明の効果】以上説明したように本発明は構成されているので、次に記載する効果を奏する。試験パターン発生器に於ける試験パターンの発生を高速化した、高速パターン発生器を提供できた。

【図面の簡単な説明】

【図1】本発明の高速パターン発生器の実施例1を示すブロック図である。

【図2】本発明の高速パターン発生器の実施例2を示す

ブロック図である。

【図3】従来のメモリ試験装置の例を示すブロック図である。

【図4】従来のパターン発生器の例を示すブロック図である。

【図5】多重化回路の例を示すブロック図である。

【図6】多重化回路の動作を示すタイムチャートである。

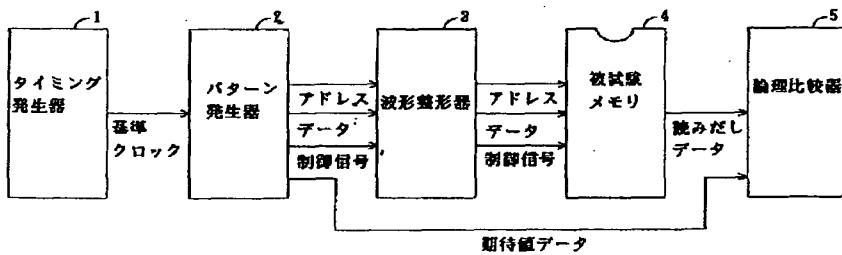
【図7】本発明による1動作例を示すタイムチャートである。

【図8】本発明による他の動作例を示すタイムチャートである。

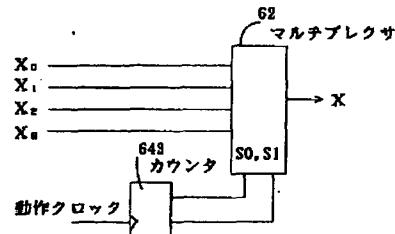
【符号の説明】

1	タイミング発生器
2	パターン発生器
3	波形整形器
4	被試験メモリ
5	論理比較器
6	バッファーメモリ部
7	バッファーメモリ群
21	シーケンス制御器
22	アドレス発生器
23	試験パターンデータ発生器
24	制御信号発生器
25	アドレス変換器
60, 71, 72	バンク
62, 63, 74	マルチブレクサ
64	制御部
73	バンク制御回路
201	インストラクションメモリ
202	プログラムカウンタコントロール
203	プログラムカウンタ
611, 612, 613, 614	バッファーメモリ
641	制御回路
642, 643	カウンタ

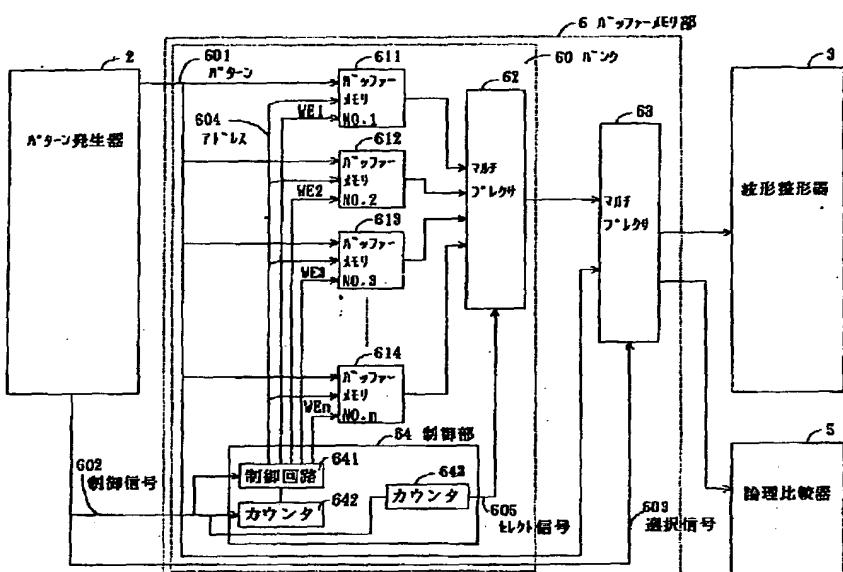
【図3】



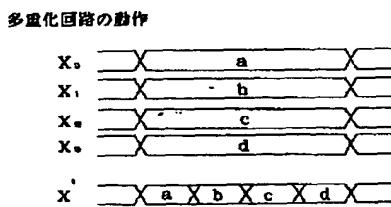
【図5】



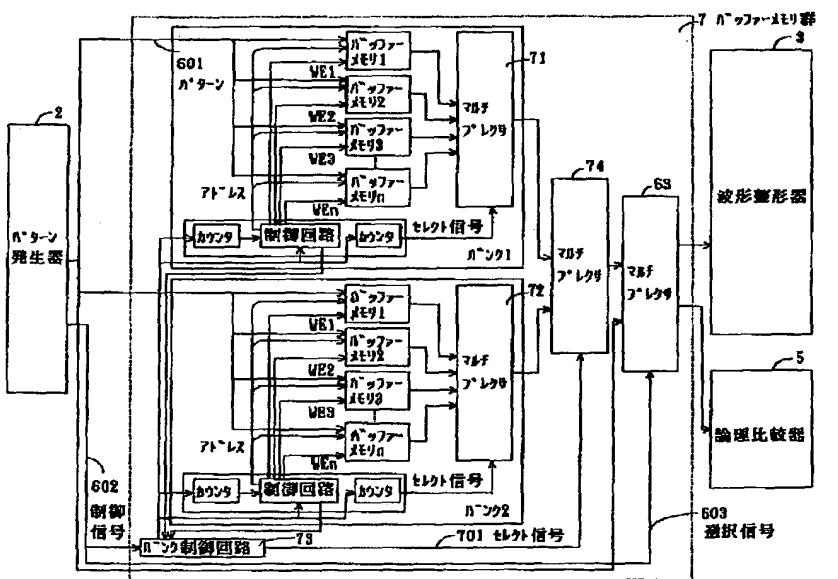
【 1】



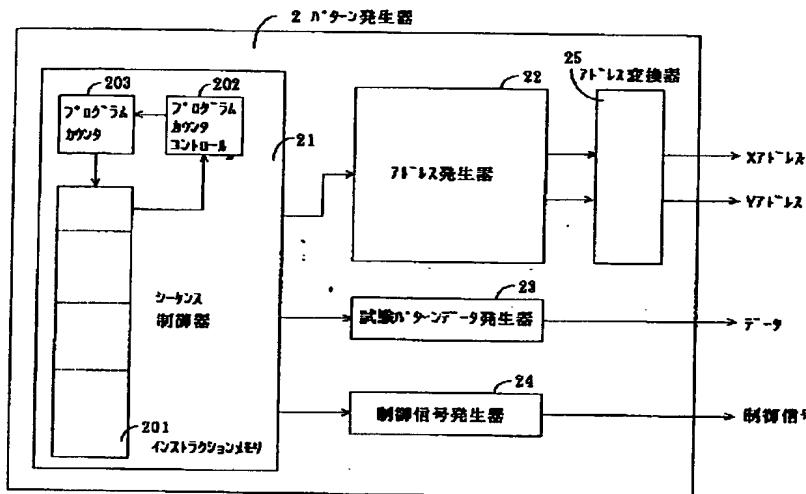
【图6】



〔图2〕

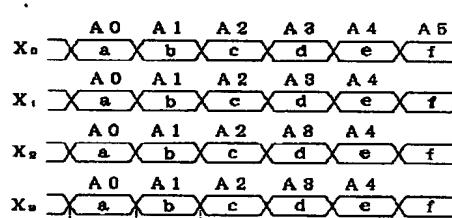


【図 4】

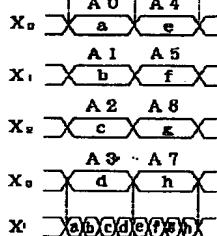


【図 7】

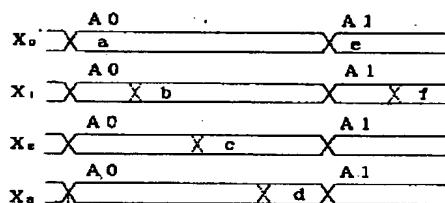
(A) 書込み時



(B) 読出し時



(A) 書込み時



(B) 読出し時

